

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06250818 A**(43) Date of publication of application: **09.09.94**

(51) Int. Cl.

G06F 7/00
G06F 1/32
G06F 9/305

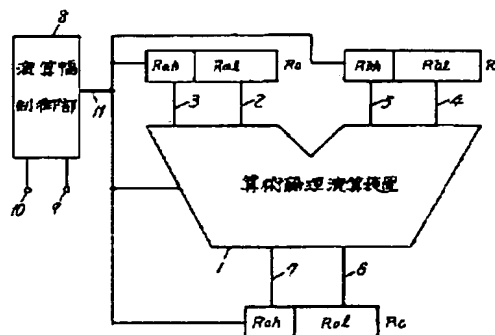
(21) Application number: **05035029**(22) Date of filing: **24.02.93**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **SHINTANI YOSHIAKI**(54) **ARITHMETIC AND LOGIC UNIT**

(57) Abstract:

PURPOSE: To reduce power consumption by dynamically changing bit width to be operated and inhibiting the operation of an arithmetic unit in a bit part whose operation is unnecessary.

CONSTITUTION: The control of an arithmetic and logic unit 1 and bit width for operation are changed in accordance with timing for operation and an arithmetic unit for a bit part whose operation is unnecessary is not driven. The operation size of data 15 judged by the value of a field indicating data operation size included in an instruction code, and when the judged result is the operation of data with the bit width smaller than that of the unit 1, the bit width for executing operation is changed so as to driven the unit 1 only for a bit part to be practically operated.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-250818

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 7/00
1/32
9/305

9188-5B

G 0 6 F 7/ 00

D

7165-5B

1/ 00

3 3 2 B

審査請求 未請求 請求項の数 2 O L (全 4 頁) 最終頁に続く

(21)出願番号

特願平5-35029

(22)出願日

平成5年(1993)2月24日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 新谷 佳昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

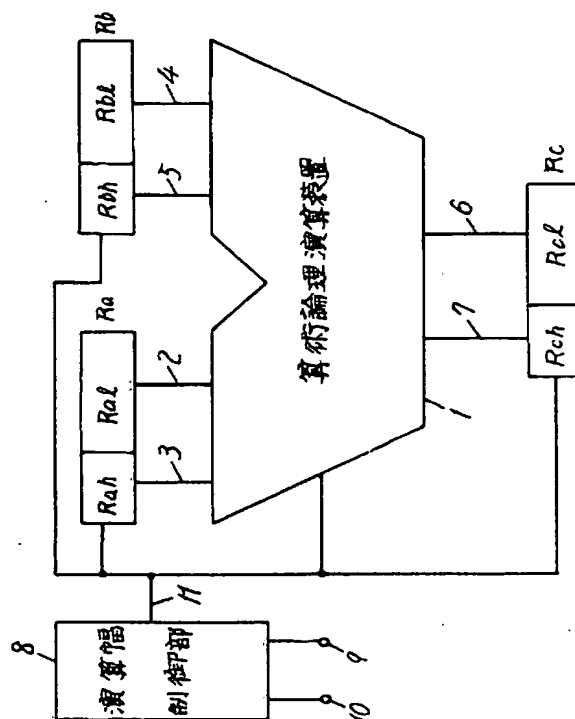
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 算術論理演算装置

(57)【要約】

【目的】 演算するビット幅を動的に変更し、演算する必要のないビット部分の演算装置を動作させないことにより、消費電力の削減を図る。

【構成】 演算を行うタイミングによって、算術論理演算装置1の制御を変え、演算を行うビット幅を変更し、演算を行う必要がないビット部分の演算装置は動作させないようにする。また、命令コード内に設けられたデータの演算サイズを示すフィールドの値によってデータの演算サイズを判別し、その判別結果が算術論理演算装置1のビット幅より小さいビット幅のデータの演算である場合には、実際に演算を行う必要があるビット部分のみ算術論理演算装置1を動作させるように演算を行うビット幅を変化させる。



【特許請求の範囲】

【請求項1】演算を行なうタイミングにより演算を行なうビット幅を変更し、演算を行なう必要のないビット部分の演算装置を動作させない手段を有することを特徴とする算術論理演算装置。

【請求項2】命令コード内に演算を行なうビット幅を変更するためのデータを持ち、前記命令コードによって演算するビット幅を変更し、演算する必要のないビット部分の演算装置を動作させない手段を有することを特徴とする算術論理演算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、演算を行うビット幅を変更することにより、低消費電力化を図ることを可能とする算術論理演算装置に関するものである。

【0002】

【従来の技術】従来の算術論理演算装置では、例えば、24ビットのアドレス演算と16ビットのデータ演算を別々のタイミングで、同一の算術論理演算装置を用いて演算させる場合、24ビットの算術論理演算装置を備えていた。このため、アドレスを演算するタイミングでは、24ビットの演算を行なう必要があるため全ビット分の演算装置が動作していた。一方16ビットのデータを演算するタイミングでは、算術論理演算装置が24ビット分の幅を持っているため、本来動作する必要がない上位8ビット分の演算装置も同時に動作していた。

【0003】また、命令コード内に演算を行なうデータのサイズに関する情報があるような場合があったが、演算するデータサイズが16ビットの場合でも算術論理演算装置の演算を行なうビット幅を変更する様な制御は行っていなかった。したがって16ビットの演算を行なう場合でも24ビット分全ての算術論理演算装置が動作していた。

【0004】

【発明が解決しようとする課題】しかしながら従来の算術論理演算装置では、演算を行なうビット幅は固定であり、演算を行なう必要のあるビット数が算術論理演算装置のビット数と異なっているような場合でも全ビット数分の演算装置が動作していた。このため本来使う必要がない演算装置が動作することによって、無駄な電力が消費されていた。

【0005】本発明は前記従来の課題を解決し、低消費電力化を図ることを可能とする算術論理演算装置を提供することを目的とする。

【0006】

【課題を解決するための手段】前記従来の課題を解決するために本発明に係る算術論理演算装置は以下のような構成を有している。すなわち、本発明は、前記のような問題を解決するため、次のような制御を行い、演算を行なう必要のないビット部分の算術論理演算装置を動作さ

せないように構成するものである。

(1) 演算を行なうタイミングによって算術論理演算装置の制御を変え、演算を行なう必要のないビット部分は演算装置を動作させない。

(2) 実際に演算を行なう必要があるビットのみを動作させ、動作させる必要のないビット部分の演算装置は動作させない。

【0007】

【作用】前記構成により、本来演算させる必要のないビット部分の演算装置は動作しないので、その分の消費電力を軽減し、低消費電力化を図ることが可能となる。

【0008】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。図1と図2を用いて本発明の第1の実施例を説明する。図1は演算を行なうタイミングにより、演算を行なうビット幅を変更し、演算を行なう必要のないビット部分の演算装置を動作させない制御を行なう場合の基本的な構成を示すものである。

【0009】今、24ビットのアドレス演算を行なう必要があるため、24ビット幅の算術論理演算装置1を持っているとする。この算術論理演算装置1に対し、2つの24ビット入力用レジスタRaとRbと1つの24ビット演算結果用レジスタRcが設けられている。レジスタRa、Rb、Rcはそれぞれ下位の0～15ビットのRal、Rbl、Rclと上位の16～23ビットのRah、Rbh、Rchから構成されている。レジスタRaはRal、Rahに対してそれぞれ16ビット幅の信号2と8ビット幅の信号3で算術論理演算装置1の入力に接続されている。同様にレジスタRbからも信号4、5で算術論理演算装置1の入力に接続されている。さらにレジスタRcは算術論理演算装置1の出力にRclは16ビット幅の信号6、Rchは8ビット幅の信号7で接続されている。

【0010】また演算幅制御部8は、算術論理演算装置1やレジスタRa、Rb、Rcに16ビット演算をさせるのか24ビット演算をさせるのかを制御する。この演算幅制御部8にはタイミング信号入力端子9、10が入力されている。このタイミング信号によって決定される演算幅制御信号11が演算幅制御部8から出力されている。

【0011】この演算幅制御信号11は算術論理演算装置1およびRal、Rbh、Rchに接続されている。

【0012】次にその動作について説明する。図2は算術論理演算装置の動きに注目したタイミングチャートである。すなわち図1のタイミング信号入力端子9、10の動きと、算術論理演算装置で行われる演算のビット幅を示している。タイミング信号9がハイレベルの期間は24ビットの演算をさせ、タイミング信号10がローレベルの期間は16ビットの演算をさせるように演算幅制御部8は動作する。

【0013】今、演算幅制御部8でタイミング信号入力端子9がハイレベルだと認識すると、演算幅制御信号11がハイレベルとなり、Ra、Rb、Rc、および算術論理演算装置1は24ビットすべてがアクティブとなって動作し、24ビットの演算が行われる。その演算結果はレジスタRcに24ビットデータとして取り込まれ、他のブロック（図示せず）で利用される。

【0014】一方、演算幅制御部8でタイミング信号入力端子10がローレベルだと認識すると、演算幅制御信号11はローレベルになる。この結果Ra1、Rb1、Rc1および算術論理演算装置1の下位16ビット分だけがアクティブとなり動作し、上位の8ビット分の演算装置は動作しない。このため、タイミング信号10がローレベルのタイミングでは、上位8ビット分の算術論理演算装置およびレジスタRah、Rbh、Rchは動作しない。

【0015】このように、タイミング信号9、10によって24ビット演算を行なうか16ビット演算を行なうかを制御し、動作させる必要のない算術論理演算装置およびレジスタRah、Rbh、Rchは動作させない制御を行なう。

【0016】図3と図4を用いて本発明の第2の実施例について説明する。図4は命令コード内に演算を行なうビット幅を変更するためのデータを持ち、その命令コードによって演算するビット幅を変更し、演算する必要のないビット部分の演算装置を動作させない制御を行なう場合の基本的な構成を示すものである。

【0017】24ビットのアドレス空間を持つ16ビットアーキテクチャのマイクロプロセッサを考える。この場合24ビットのアドレス演算を行なう必要があるので、24ビット幅の算術論理演算装置1を持っているとする。この算術論理演算装置1に対し、2つの24ビット入力用レジスタRaとRbと1つの24ビット演算結果用レジスタRcが設けられている。レジスタRa、Rb、Rcはそれぞれ下位の0～15ビットのRa1、Rb1、Rc1と上位の16～23ビットのRah、Rbh、Rchから構成されている。レジスタRaはRa1、Rahに対してそれぞれ16ビット幅の信号2と8ビット幅の信号3で算術論理演算装置1の入力に接続されている。同様にレジスタRbからも信号4、5で算術論理演算装置1の入力に接続されている。さらにレジスタRcは算術論理演算装置1の出力にRc1は16ビット幅の信号6、Rchは8ビット幅の信号7で接続されている。

【0018】また演算幅制御部15は、算術論理演算装置1やレジスタRa、Rb、Rcに16ビット演算をさせるのか24ビット演算をさせるのかを制御する。この演算幅制御部15には実行する命令コードを解読する命令解読部13から解読結果信号14が入力されている。この解読結果信号14によって決定される演算幅制御信

号11が演算幅制御部15から出力されている。この演算幅制御信号11は算術論理演算装置1およびRa1、Rb1、Rc1に接続されている。

【0019】次にその動作について説明する。図3に示すように命令コード内に演算を行なうビット幅を指定するデータ12を持っている場合、図4の命令解読部13でその命令コードを解読する。その解読結果が24ビット演算を必要とする命令であれば命令解読結果信号14がハイレベルとなる。この命令解読結果信号14がハイレベルだと認識すると、演算幅制御信号11がハイレベルとなり、Ra、Rb、Rc、および算術論理演算装置1は24ビットすべてがアクティブとなって動作し、24ビットの演算が行われる。その演算結果はレジスタRcに24ビットデータとして取り込まれ、他のブロック（図示せず）で利用される。

【0020】一方、命令解読部13で解読した結果が、16ビット演算をする命令であれば命令解読結果信号14はローレベルとなる。演算幅制御部15が命令解読結果信号14がローレベルだと認識すると、演算幅制御信号11がローレベルになる。この結果Ra1、Rb1、Rc1および算術論理演算装置1の下位16ビット分だけがアクティブとなり動作し、上位の8ビット分の演算装置は動作しない。このため、タイミング信号10がローレベルのタイミングでは、上位8ビット分の演算装置やレジスタRah、Rbh、Rchは動作しない。

【0021】このように命令コード中に埋め込まれている演算するビット幅を命令解読部13で解読し、解読結果信号14を出力することによって24ビット演算を行なうか16ビット演算を行なうかを制御し、動作させる必要のない算術論理演算装置およびレジスタRa1、Rb1、Rc1は動作させない制御を行なう。

【0022】

【発明の効果】本発明によって、演算する必要の無いビット部分の算術論理演算装置を動作させないことによって、その部分で消費していた電力を削減することができる。低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る算術論理演算装置の構成を示すブロック図

【図2】本発明の第1の実施例に係る算術論理演算装置のタイミング図

【図3】本発明の第1の実施例に係る算術論理演算装置の命令コードを示した図

【図4】本発明の第2の実施例に係る算術論理演算装置の構成を示すブロック図

【符号の説明】

Ra 入力用レジスタ

Ra1 入力用レジスタRaの0～15ビット部分

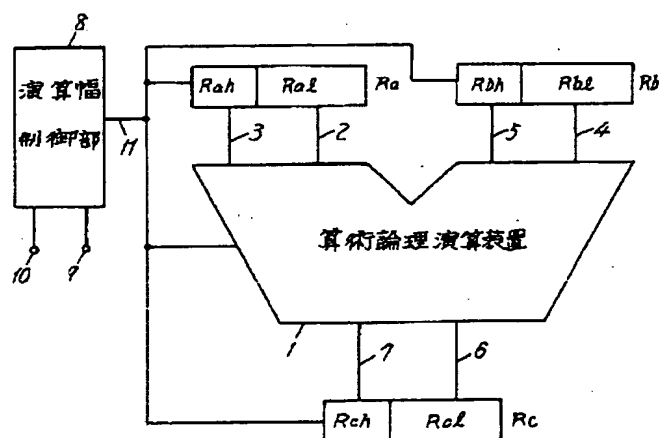
Rah 入力用レジスタRaの16～23ビット部分

Rb 入力用レジスタ

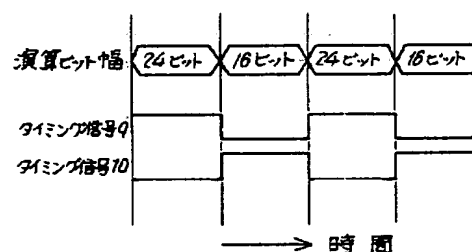
Rb_l 入力レジスタRbの0~15ビット部分
 Rb_h 入力レジスタRbの16~23ビット部分
 Rc 入力レジスタ
 Rc_l 入力レジスタRcの0~15ビット部分
 Rc_h 入力レジスタRcの16~23ビット部分
 1 算術論理演算装置
 2 Ra_lの算術論理演算装置1への入力信号
 3 Ra_hの算術論理演算装置1への入力信号
 4 Rb_lの算術論理演算装置1への入力信号
 5 Rb_hの算術論理演算装置1への入力信号
 6 Rc_lの算術論理演算装置1への入力信号

7 Rc_hの算術論理演算装置1への入力信号
 8 演算幅制御部
 9 タイミング信号入力端子
 10 タイミング信号入力端子
 11 演算幅制御信号
 12 命令コード内の演算を行なうビット幅を示すデータ
 13 命令解読部
 14 命令解読結果信号
 15 演算幅制御部

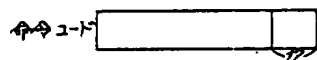
【図1】



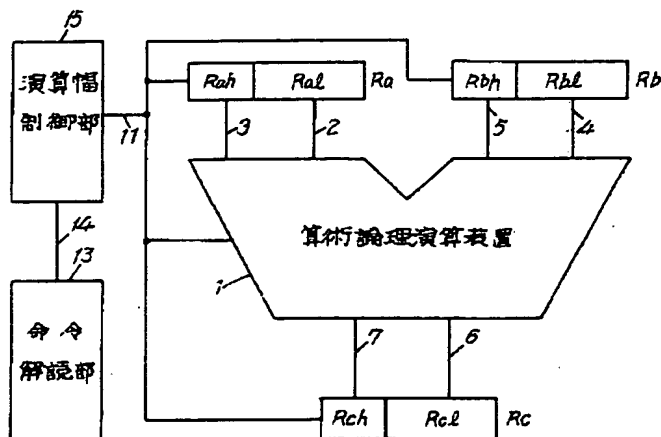
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号

9189-5B

FI

G06F 9/30

技術表示箇所

340 E